

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第 2 6 5 5 3 2 8 号

(45) 発行日 平成 9 年 (1 9 9 7) 9 月 1 7 日

(24) 登録日 平成 9 年 (1 9 9 7) 5 月 3 0 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I
G09G 3/36			G09G 3/36
G02F 1/133	550		G02F 1/133 550
G09G 3/18			G09G 3/18

発明の数 1 (全 8 頁)

(21) 出願番号 特願昭 6 2 - 3 3 1 7 6 5

(22) 出願日 昭和 6 2 年 (1 9 8 7) 1 2 月 2 5 日

(65) 公開番号 特開平 1 - 1 7 0 9 8 6

(43) 公開日 平成 1 年 (1 9 8 9) 7 月 6 日

(73) 特許権者 9 9 9 9 9 9 9 9

ホシデン株式会社

大阪府八尾市北久宝寺 1 丁目 4 番 3 3 号

(72) 発明者 安居 勝

大阪府八尾市北久宝寺 1 丁目 4 番 3 3 号

星電器製造株式会社内

(72) 発明者 上西 律善

大阪府八尾市北久宝寺 1 丁目 4 番 3 3 号

星電器製造株式会社内

(74) 代理人 弁理士 草野 卓

審査官 新宮 佳典

最終頁に続く

(54) 【発明の名称】 電源オフ時の液晶表示消去方法

1

(57) 【特許請求の範囲】

【請求項 1】 液晶表示装置の電源オフ時に、その液晶表示装置に実装されたアクティブマトリクス液晶表示パネルの表示画像をクリアする方法であって、

上記液晶表示パネルのソースバス駆動回路に対しては、上記液晶表示装置の電源から直接動作電源を供給し、上記液晶表示パネルのゲートバス駆動回路に対しては、上記電源から所定時間電力を保持することができる電源保持回路を通じて動作電源電圧を供給し、

上記電源がオフされた時には、そのオフを検出して直ちに消去信号を発生し、その消去信号を上記ゲートバス駆動回路に与えて電源オフの直後の一定時間全てのゲートバスを同時にアクティブレベルに保持し、上記ゲートバスに接続された全てのトランジスタを同時にオンにすることを特徴とする電源オフ時の液晶表示消去方法。

2

【発明の詳細な説明】

「産業上の利用分野」

アクティブマトリクスタイプ液晶の如く、液晶表示パネル内部に記憶機能をもった表示器の表示を、液晶表示装置の電源オフ時にクリアさせるようにした電源オフ時の表示消去方法に関する。

「従来の技術」

初めに従来のアクティブマトリクスタイプ液晶の表示パネルにつき簡単に説明する。第 4 図に示すように、液晶表示素子 1 においては液晶画素 2 がマトリクス (m 行、 n 列とする。) 状に配列され、その表示電極 2a が TFT (トランジスタ) 3 のドレインに接続される。 TFT 3 のソース及びゲートは互に直交するソースバス 4 及びゲートバス 5 にそれぞれ接続される。液晶画素 2 には表示電極 2a と対向して対向電極 (共通電極とも言う) 2b が形成

されている。

ソースバス 4 を駆動するためにソースバス駆動回路 6 が設けられる。同回路には、第 5 図に示すように水平画素クロック CPH、水平同期信号 Hs、交流化指令信号 M 及び図示していないが水平画素クロック CPH と同期して、水平方向に画素データ（論理 “1” 又は “0” を表わす 2 値符号）D が液晶表示装置の本体側（図示せず）より供給される。ソースバス駆動回路 6 においては、各ソースバスドライバ 6a より液晶表示素子 1 の 1 行分の画素に表示されるべき信号 S_j （ $j = 1 \sim n$ ）が 1 水平時間（1H）毎に各ソースバス 4_j に一斉に出力される。この信号 S_j はソースバス駆動信号とも言われ、第 5 図 D に示す如く、画素データ D の “1” 及び “0” に応じてそれぞれ E_{1j} 及び E_{2j} （ $M = 1$ のフィールドの場合）又は E_{1j} 及び E_{2j} （ $M = 0$ のフィールドの場合）の電圧をもつ信号である。ここで $E_{1j} = (E_{1j} + E_{2j}) / 2$ とされる。ソースバス駆動回路 6 には動作電源として、液晶表示装置本体より直流電圧 E_1, E_2, E_3 及び共通電位 EG（ゼロボルト）が供給される。上記ソースバス駆動信号 S_j のとるレベル E_{1j}, E_{2j}, E_{3j} はそれぞれこれら電源電圧 E_1, E_2, E_3 にほぼ等しい。即ち理想的には $E_i = E_i$ （ $i = 1 \sim 3$ ）である。液晶表示素子 1 にも本体より共通電位 EG が与えられると共に各画素の電極 2b には共通に上記電圧 E_i に応じた電圧 E_{ij} が与えられる。共通電位 EG（ゼロボルト）と電圧 E_1, E_2, E_3 の大小関係は例えば $E_1 > EG > E_2 > E_3$ とされる。

ゲートバス駆動回路 7 は、ゲートバス $5_1 \sim 5_n$ を順次 1 水平時間（1H）の間高レベルに駆動し、1 行分の TFT を第 1 行から第 m 行迄順次オンさせる。これによりソースバス駆動信号 S_j （ $j = 1 \sim n$ ）は対応する行の画素に印加される。同回路は主に m 段のシフトレジスタ 8 とゲートバスドライバ 9 とで構成される。装置本体より垂直同期信号 V_i（第 5 図 E）がスタート信号として第 1 段のシフトレジスタのデータ端子 D に供給され、また水平同期信号 H_i が各段のクロック端子 CK に供給される。スタート信号が 1 水平時間ずつ順次遅延されたパルスが各段の出力端子 Q より出力されてゲートバスドライバ 9 に与えられる。ゲートバスドライバ 9 では入力された上記パルスがレベル変換され、各段のパルスの高レベル、低レベルに対応してそれぞれ電圧レベルが V_{1i}, V_{2i} のゲートバス駆動信号 $G_i \sim G_n$ （第 5 図 F）がゲートバス $5_1 \sim 5_n$ に出力される。装置本体より動作電源として電源電圧 V_1, V_2 がシフトレジスタ 8 及びゲートバスドライバ 9 に供給され、また電源電圧 V_3 がゲートバスドライバ 9 に供給される。これら各電圧の大小関係は $V_1 > V_2 > V_3$ であり、 $V_1 - V_2 = 5$ ボルトに設定される場合が多い。上記ゲートバス駆動信号 G_i の高レベル V_{1i} 及び低レベル V_{2i} はそれぞれ電源電圧 V_1, V_2 にほぼ等しい。（理想的には全く等しいものである。）

ところで、任意の時点で表示画面をクリアするには装置本体より各画素の表示を無くすための 1 画面分（m 行

分）の論理 “0” の画素データが与えられ、ソースバス駆動回路 6 より電圧 E_{1j} の m 行分の信号が 1 水平時間毎に順次各ソースバス 4_j が一斉に与えられ、一方ゲートバス駆動回路 7 により各行のゲートバス 5_i が順次 1 水平時間づつ高レベルとされて、1 画面（1 フィールド）の表示がクリアされる。即ち画面表示をクリアするには少くとも mH（H は 1 水平時間）の時間が必要とされる。

いままで画素表示させていた表示装置の使用を停止する場合には、通常は特に上記の画面クリアの操作は行われずに表示装置本体の電源スイッチがオフに操作される。これにより液晶表示パネルに供給されていた各種の信号は消滅し、各種の電源電圧も短時間で共通電位（アースの電位）におとされる。ゲートバスドライバの出力 G_i も消滅し、共通電位におとされる。従って液晶表示素子 1 の全ての TFT はオフとされ、画素容量に蓄えられていた電荷は外部放電経路が遮断されるため、比較的長時間保持される。しかし、その電荷はいずれ自己放電によって、ゆっくりではあるが次第に減少し、表示画像は次第にクリアされる。

「発明が解決しようとする問題点」

以上述べたように、電源オフ時には、画素容量に電荷を蓄積させた状態で TFT がオフされるので、この蓄積電荷は長時間に亘り保持される。そのため表示画面に残像が残り、表示品位を損なうことになる。またこのように画素に電荷をためたまま放置することは、液晶に直流電圧をかけたままとすることであるから、液晶の寿命を低下させ、信頼性を損なうこととなる。

この発明の目的は、電源オフ時に画素容量の電荷を放電させるようにして、残像を短時間でクリアさせると共に、液晶の寿命及び信頼性の低下を防止しようとするものである。

「問題点を解決するための手段」

この発明は液晶表示装置の電源オフ時にアクティブマトリクス液晶表示パネルの表示画像をクリアする方法であって、その液晶表示パネルのゲートバス駆動回路に供給される動作電源の電力を上記電源オフ後も所定時間保持する電源保持回路が設けられ、その電源保持回路より得られる電力がゲートバス駆動回路に供給される。また上記電源オフが検出され、その検出信号により上記ゲートバス駆動回路の出力は所定時間同時にアクティブレベルに保持される。

「実施例」

この発明を適用した液晶表示パネルの要部の回路図を第 1 図に第 4 図と対応する部分には同じ符号を付して示し、重複説明は省略する。ソースバス駆動回路 6 及び液晶表示素子 1 は第 4 図と同じであるので省略している。

この発明においては第 1 図に示すように、液晶表示装置本体より端子 21 に供給される電源電圧 V_1 （従来例の電圧 V_1 と同じ）によりダイオード 12a を介して大容量のコンデンサ 12b を充電すると共にゲートバス駆動回路 7 に

10

20

30

40

50

供給するようにする。これらのダイオード12a及びコンデンサ12bは電源がオフされた後も所定時間電力を保持して負荷に供給するための電源保持回路12を構成するものである。電源保持回路12の出力電圧 V_{12} が入力電圧 V_1 より低下し不都合である場合はその低下分だけ入力電圧 V_1 を大きくするか或いは電源保持回路の入力側にDC-DCコンバータを設けて入力電圧を昇圧するようにしてもよい。電源保持回路12の出力は電源回路13にも供給され、電源回路13では従来装置本体側より供給されていた電源電圧 V_2 に代るべき電圧 V_{12} が作成されて、ゲートバス駆動回路7に供給される。その他の電圧は従来例と同じであってゲートバス駆動回路7に電圧 V_1 （ゲートバス駆動信号 G_1 の低レベルの電圧 v_{1L} にほぼ等しい）が供給され、また図示していないがソースバス駆動回路6に電圧 E_1, E_2, E_3 が供給され、液晶表示素子1の対向電極2bに電圧 E_1 が供給されている。

いま時間 t_1 において表示装置本体の電源スイッチをオフに操作したとすれば、電圧 V_1 は時間 t_1 の時点でゼロボルト（共通電位）に立下がる（第2図A）。しかし、電源保持回路12の出力電圧 V_{12} は大きな時定数 $C_{12}R_{12}$ （ C_{12} はコンデンサ12の容量、 R_{12} は電源保持回路12の負荷抵抗）でゆっくりと降下する（第2図C）。一方、電圧 V_1 の電圧降下が電圧降下検出回路14で検出され、同回路は例えば標準値の20%降下した時点 t_2 でそれまで高レベルであった出力を低レベルに変化させる（第2図B）。電圧降下検出回路14の出力はコンデンサ15、抵抗器16を順次介して電源保持回路12の出力側に接続され、コンデンサ15と抵抗器16との接続点Fはインバータ17の入力端子に接続される。接続点Fの電圧 V_F は時間 t_2 で降下した後CRの時定数（C、Rはそれぞれコンデンサ15及び抵抗器16の定数）で電源保持回路12の出力電圧 V_{12} に漸近する（第2図C）。

インバータ17には動作電源として上記電圧 V_{12} 及び V_{12} が供給され、電圧 V_{12} も第2図Cに示すように、時間 t_1 以降電圧 V_{12} と共にゆっくりした時定数で共通電位に降下する。インバータ17のスレッシュホールドレベル V_{17} が第2図Cのように V_{12} と V_{12} との間のレベルに設定してあるので、インバータ17の入力電圧 V_F がスレッシュホールドレベル V_{17} 以下となる時間幅 T （ $t_2 \sim t_3$ ）の間、インバータ17より高レベルの出力 V_1 が出力される（第2図D）。インバータ17の出力 V_1 の波形は時間 T においては電圧 V_{12} の波形にほぼ等しく、それ以外の時間では電圧 V_{12} にほぼ等しい。インバータ17の出力 V_1 のバース幅 T は液晶表示パネルに供給される電源電圧 E_1, E_2, E_3, V_1, V_2 が電源オフ時に共通電位に立下る迄の時間よりやや大きく設定さ

れる。

インバータ17の出力 V_1 はシフトレジスタ8の各段のプリセット端子Pに供給され、各段のQ出力は T 時間の間高レベル（ほぼ V_{12} に等しい）とされ、ゲートバースドライバ9に出力 $G_1 \sim G_n$ も高レベル（TFTをアクティブにするレベルであればよく、この場合ほぼ V_{12} に等しい）とされる。従来例で述べた液晶表示素子1の全てのTFTは T 時間の間一斉にオンとされ、従って各画素の表示電極2aはTFTを通じてソースバースドライバ6aに電気的に接続される。ソースバースドライバ6aは動作電源電圧 E_1, E_2, E_3 が共通電位に立下るのとほぼ同時にその出力端子の電位が共通電位となるように構成されている。即ち、ソースバス駆動信号 $S_1 \sim S_n$ が T 時間以内に共通電位に立下るようにされている。表示電極2a及び対向電極2b（対向電極には電圧 E_1 が供給されている。）には共に T 時間以内に共通電位が与えられ、画素容量に蓄積されていた電荷は T 時間の終了迄には全て放電される。即ち時間 T は画素容量の電荷が放電するに必要な時間を含んだ時間である。

第3図は他の実施例を示すもので、シフトレジスタ8とゲートバースドライバ9との間にオア回路20を設け、オア回路20の各素子の一方の入力にシフトレジスタ8の各段の出力を供給し、他方の入力にインバータ17の出力 V_1 を供給し、各素子の出力をゲートバースドライバ9に供給するようにしている。ゲートバースドライバ9は入力 V_1 の T 時間のバース幅の間高レベルの信号 $G_1 \sim G_n$ を出力する。

「発明の効果」

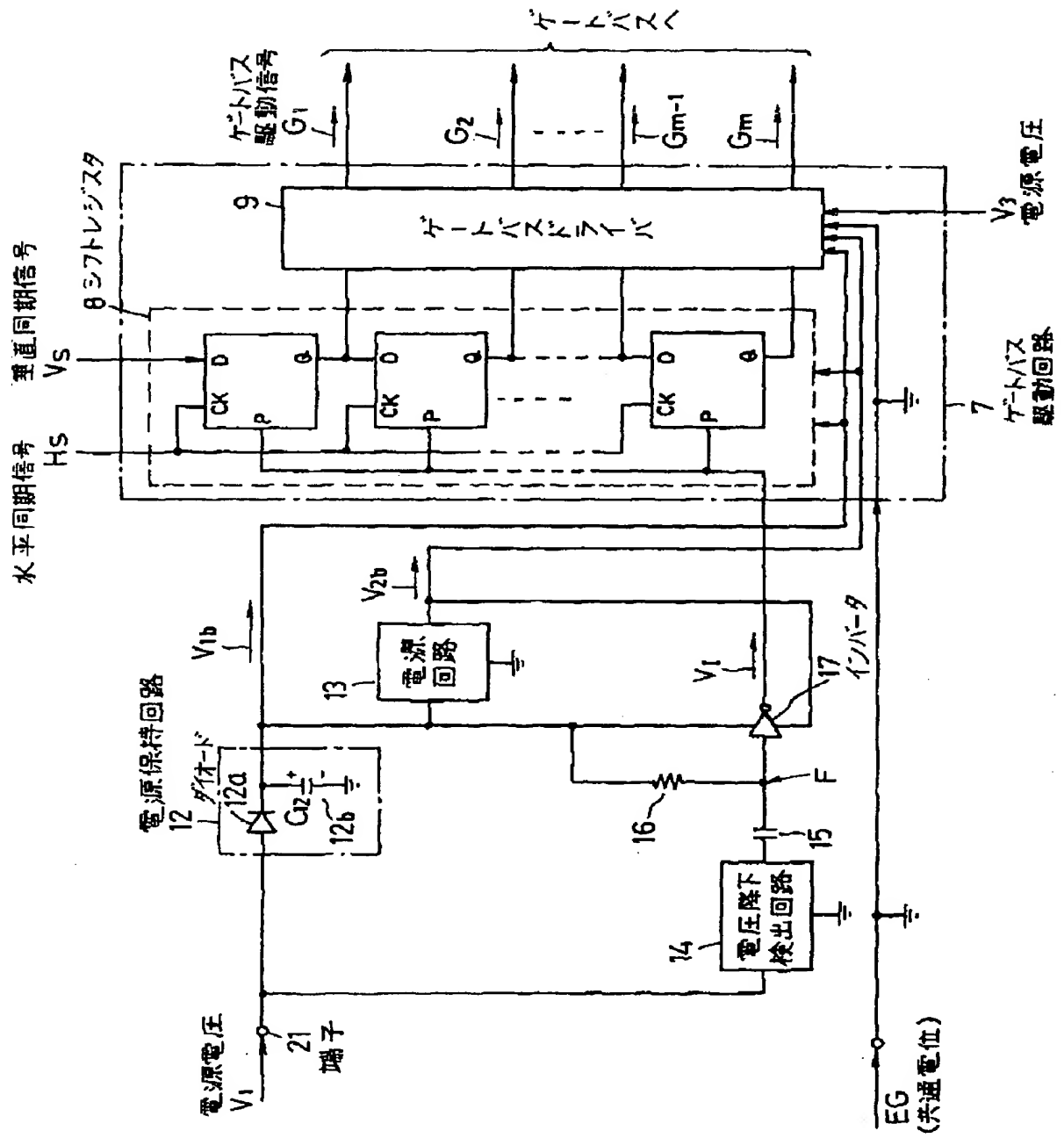
この発明によれば、液晶表示装置の電源オフが自動的に検出され、その検出信号に基づき、画素容量の蓄積電荷が短時間で放電できるように、全てのゲートバスが同時にアクティブレベルに保持され、そのゲートバスに接続されたTFTが所定時間オンに保持される。従って残像は短時間でクリアされると共に液晶の寿命及び信頼性の低下が防止される。

残像のクリアがゲートバースのみの電圧操作で行われるので、クリアのための回路が簡単となる。

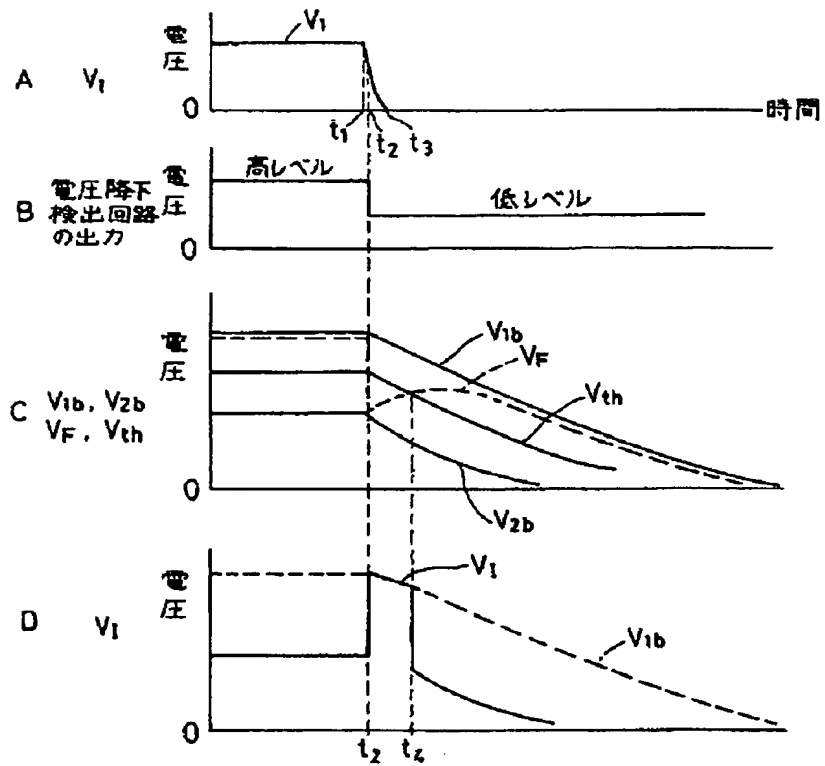
【図面の簡単な説明】

第1図はこの発明の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第2図は第1図の要部の信号波形図、第3図はこの発明の他の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第4図は従来のアクティブ液晶表示パネルの回路図、第5図は第4図の要部の信号波形図である。

【第 1 図】



【第 2 図】



【 第 3 図 】

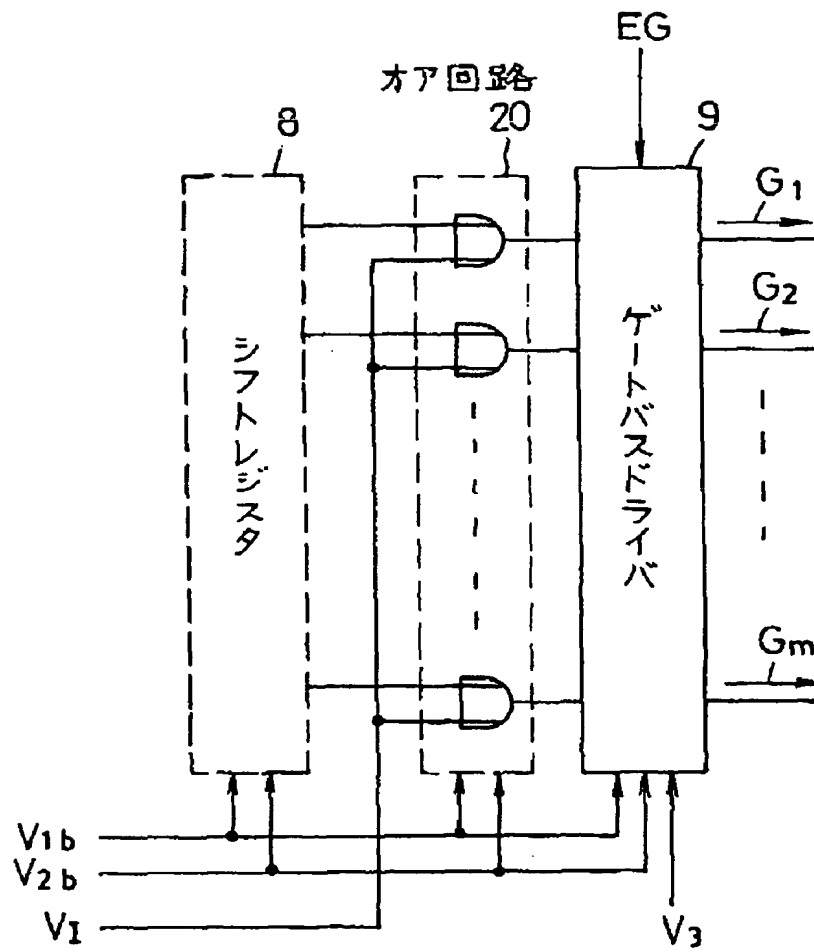
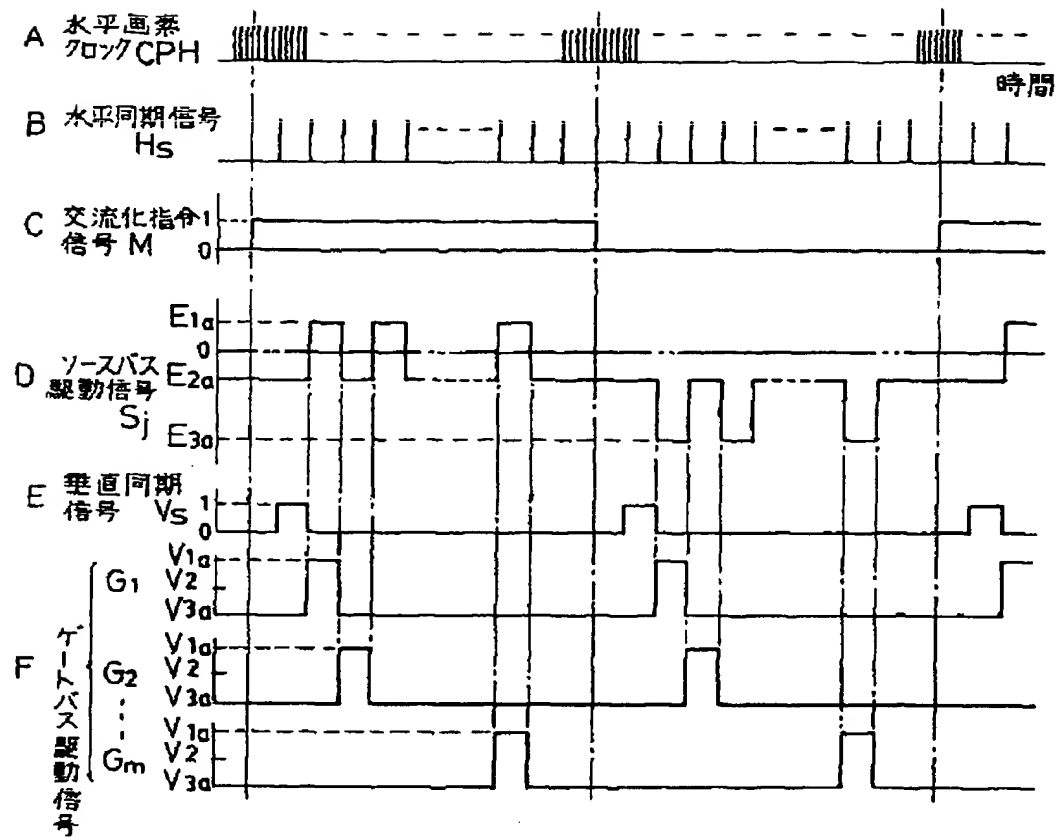


Figure 1 is a block diagram of a liquid crystal display driving circuit. The circuit includes a source driver (6) and a gate driver (7). The source driver (6) has inputs for common voltage (EG), horizontal sync (Hs), and data signals (Ds), and outputs source voltages (S1 to Sn). The gate driver (7) has inputs for horizontal sync (Hs) and clock signals (CK D), and outputs gate voltages (G1 to Gm). The liquid crystal panel (1) is connected to these source and gate voltages. The panel is divided into rows (1 to m) and columns (1 to n). The source driver is labeled '6' and the gate driver is labeled '7'. The liquid crystal panel is labeled '1'. The common voltage (EG) is connected to the common electrode (2b) of the liquid crystal panel. The source voltages (S1 to Sn) are connected to the source electrodes (2a) of the liquid crystal panel. The gate voltages (G1 to Gm) are connected to the gate electrodes (3) of the liquid crystal panel. The liquid crystal panel is labeled '2'.

【 第 5 図 】



フロントページの続き

- (56) 参考文献 特開 昭 6 2 - 1 6 5 6 3 0 (J P , A)
)
 特開 昭 6 2 - 2 4 2 2 8 (J P , A)
 特開 平 1 - 1 2 9 2 9 4 (J P , A)
 特開 昭 6 1 - 2 5 6 3 8 7 (J P , A)
)
 特開 昭 6 2 - 2 0 9 5 9 6 (J P , A)
)
 特開 昭 6 3 - 4 8 5 9 7 (J P , A)